



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000269192 A**(43) Date of publication of application: **29.09.00**

(51) Int. Cl.

H01L 21/3065
H01L 21/28
H01L 21/76
H01L 21/3213
H01L 21/768

(21) Application number: **11069933**(22) Date of filing: **16.03.99**(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **SETA SHOJI**
SATO YASUHIKO
SEKINE MAKOTO

(54) **METHOD FOR DRY ETCHING AND
 MANUFACTURE OF SEMICONDUCTOR DEVICE**

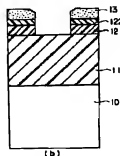
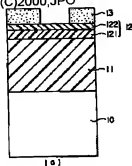
of the resist used as a mask.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a vertical section in a treated shape, when an antireflection film formed of at least two separate layers of at least two kinds of polysilanes is dry-etched with a resist pattern used as a mask and thereby to enable control of the influence of microloading effects produced by a reaction product in etching.

SOLUTION: This method is provided with a process, wherein at least two kinds of organic silicon films 121 and 122 containing silicon and an organic silicon compound, having a bonding with silicon in a main chain are formed into two separate layers at least, as an antireflection film for forming a resist pattern, on a film 11 to be treated which is provided on a semiconductor substrate 10 and an etching process, wherein the pattern of a resist 13 is formed on the organic silicon film and the organic silicon film is dry-etched with this pattern



(51)Int.Cl. ¹	識別記号	F I	テラコード*(参考)
H 0 1 L 21/3065		H 0 1 L 21/302	J 4 M 1 0 4
21/28		21/28	F 5 F 0 0 4
21/76		21/302	H 5 F 0 3 2
21/3213		21/76	L 5 F 0 3 3
21/768		21/88	D

審査請求 未請求 請求項の数18 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願平11-69933

(22)出願日 平成11年3月16日(1999.3.16)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 瀬田 渉二

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 佐藤 康彦

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

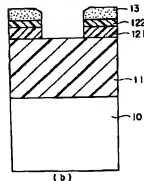
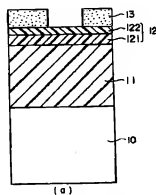
最終頁に続く

(54)【発明の名称】 ドライエッチング方法および半導体装置の製造方法

(57)【要約】

【課題】少なくとも二種類のポリシランを少なくとも二層に分けて成膜した反射防止膜を、レジストパターンをマスクとしてドライエッチングを行う際、加工形状の断面が垂直状に得られるようになり、エッチング時の反応生成物によって生じるマイクロローディング効果の影響を制御できる。

【解決手段】半導体基板10上の被加工膜11上に、レジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する少なくとも二種類の有機シリコン膜121、122を少なくとも二層に分けて成膜する工程と、有機シリコン膜上にレジスト13のパターンを形成し、このレジストのパターンをマスクとして有機シリコン膜に対してドライエッチングを行うエッチング工程とを具備する。



【特許請求の範囲】

【請求項1】 半導体基板上に、レジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する少なくとも二種類の有機シリコン膜を少なくとも二層に分けて成膜する工程と、

前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜に対してドライエッチングを行う第1のエッチング工程とを具備することを特徴とするドライエッチング方法。

【請求項2】 前記少なくとも二種類の有機シリコン膜は、互いに組成が異なり、シリコン含有量が大きいもののほど下層側に成膜されることを特徴とする請求項1記載のドライエッチング方法。

【請求項3】 前記第1のエッチング工程において有機シリコン膜を加工する際、前記被加工膜に対して所定のエッチング選択性を有することを特徴とする請求項1または2記載のドライエッチング方法。

【請求項4】 前記第1のエッチング工程により加工された有機シリコン膜をマスクとして、その下層の被加工膜に対してドライエッチングを行う第2のエッチング工程をさらに具備することを特徴とする請求項1乃至3のいずれか1項に記載のドライエッチング方法。

【請求項5】 前記第2のエッチング工程により加工された被処理膜をマスクとして、その下層のシリコン層あるいは金属膜に対してドライエッチングを行う際、同時に前記有機シリコン膜を除去することを特徴とする請求項1乃至4のいずれか1項に記載のドライエッチング方法。

【請求項6】 前記有機シリコン膜は、前記被加工膜上にハードマスク材を介して成膜されており、前記第1のエッチング工程において有機シリコン膜を加工する際、同時に前記ハードマスク材を加工して被加工膜加工用のハードマスクを形成することを特徴とする請求項1または2記載のドライエッチング方法。

【請求項7】 前記ハードマスク材はポリシリコン膜であることを特徴とする請求項6記載のドライエッチング方法。

【請求項8】 前記第1のエッチング工程において有機シリコン膜およびハードマスク材を加工する際、前記被加工膜に対して所定のエッチング選択性を有することを特徴とする請求項6または7記載のドライエッチング方法。

【請求項9】 前記第1のエッチング工程により加工された有機シリコン膜およびハードマスクをマスクとして、その下層の被加工膜に対してドライエッチングを行う第2のエッチング工程をさらに具備することを特徴とする請求項1乃至3のいずれか1項に記載のドライエッチング方法。

【請求項10】 前記第2のエッチング工程により加工

された被加工膜をマスクとして、その下層のシリコン層あるいは金属膜に対してドライエッチングを行う際、同時に前記有機シリコン膜およびハードマスクを除去することを特徴とする請求項9記載のドライエッチング方法。

【請求項11】 前記被加工膜は、有機シリコン酸化膜、無機シリコン酸化膜、あるいはシリコン窒化膜あるいはシリコン酸化膜を用いた層間絶縁膜であることを特徴とする請求項1乃至10のいずれか1項に記載のドライエッチング方法。

【請求項12】 前記有機シリコン膜を剝離する際、化学的機械研磨法を用いることを特徴とする請求項1乃至4のいずれか1項に記載のドライエッチング方法。

【請求項13】 前記第2のエッチング工程の後に、全面に他の膜を成膜して上面を化学的機械研磨法により平坦化する際に、前記有機シリコン膜を同時に剝離することを特徴とする請求項4記載のドライエッチング方法。

【請求項14】 前記第2のエッチング工程の後に、全面に他の膜を成膜して上面を化学的機械研磨法により平坦化する際に、前記有機シリコン膜をパフア層として利用し、残存させることを特徴とする請求項4記載のドライエッチング方法。

【請求項15】 半導体基板上に形成された層間絶縁膜上に、レジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜に対してドライエッチングを行う第1のエッチング工程と、

前記第1のエッチング工程により加工された有機シリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、接続用ホールおよび配線埋め込み用溝の少なくとも一方を形成する第2のエッチング工程とを具備することを特徴とする半導体装置の製造方法。

【請求項16】 シリコン基板上に形成された層間絶縁膜上にポリシリコン膜を形成する工程と、前記ポリシリコン膜上にレジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、

前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜およびポリシリコン膜に対してドライエッチングを行う第1のエッチング工程と、前記第1のエッチング工程により加工された有機シリコン膜およびポリシリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、トレンチ

を形成する第2のエッチング工程と、

前記第2のエッチング工程により加工された層間絶縁膜をマスクとして、その下層のシリコン基板に対してドライエッチングを行ってトレンチキャパシタ形成用のトレンチを形成すると同時に、前記有機シリコン膜および/あるいはポリシリコン膜を除去する第2のエッチング工程とを具備することを特徴とする半導体装置の製造方法。

【請求項17】 シリコン基板上に形成された層間絶縁膜上にポリシリコン膜を形成する工程と、
前記ポリシリコン膜上にレジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、

前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜およびポリシリコン膜に対してドライエッチングを行う第1のエッチング工程と、

前記第1のエッチング工程により加工された有機シリコン膜およびポリシリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、トレンチを形成する第2のエッチング工程と、

前記第2のエッチング工程により加工された層間絶縁膜をマスクとして、その下層のシリコン基板に対してドライエッチングを行って素子分離領域形成用のトレンチを形成すると同時に、前記有機シリコン膜および/あるいはポリシリコン膜を除去する第2のエッチング工程とを具備することを特徴とする半導体装置の製造方法。

【請求項18】 シリコン基板上でゲート配線材上に形成された層間絶縁膜上にポリシリコン膜を形成する工程と、

前記ポリシリコン膜上にレジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、

前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜およびポリシリコン膜に対してドライエッチングを行う第1のエッチング工程と、

前記第1のエッチング工程により加工された有機シリコン膜およびポリシリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、トレンチを形成する第2のエッチング工程と、

前記第2のエッチング工程により加工された層間絶縁膜をマスクとして、その下層のゲート配線材に対してドライエッチングを行ってMOSトランジスタのゲート電極を形成すると同時に、前記有機シリコン膜および/あるいはポリシリコン膜を除去する第2のエッチング工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドライエッチング方法および半導体装置の製造方法に係り、特にシリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン（ポリシラン）膜を用いたドライエッチング方法および半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の製造工程において、例えばトレンチキャパシタを形成するためにシリコン基板上に深いトレンチを加工形成する際、シリコン基板上の層間絶縁膜をエッチング加工（開口）して層間絶縁膜マスクを形成する。この際、微細加工に伴い、層間絶縁膜上に薄膜のレジストパターンを用いて高アスペクトのエッチングを行うことが要求される。

【0003】また、層間絶縁膜マスクを形成する際、フッ素系のガスを用いて層間絶縁膜のエッチングを行うが、高アスペクトのエッチングを行うため、長時間にわたって高パワーでのエッチングが必要とされる。その結果、層間絶縁膜のエッチング加工中に、温度が上昇し、エッチング生成物としてレジスト上部に付着しているフッ化物層が熱により動く。これにより、層間絶縁膜のエッチング加工時に開口部の周囲に凹凸の形状（スキヤロップという）が発生する。

【0004】しかし、上記スキヤロップは、シリコン基板上に深いトレンチを加工形成する際にトレンチの周囲に転写されるので、この後、トレンチの周囲に薄いキャパシタ絶縁膜を形成し、導電体（キャパシタ電極）を埋め込んだ時、キャパシタ絶縁膜にリークが発生する原因となってしまう。

【0005】今後の微細加工に伴い、層間絶縁膜マスクの形成に際して高アスペクトのエッチングが一層要求され、層間絶縁膜マスクを形成する際のレジストマスクもさらに薄膜化されるので、層間絶縁膜マスクの加工が非常に困難になる。

【0006】また、上記したような深いトレンチ加工を行うための層間絶縁膜マスクの形成に限らず、微細加工のためのレジストの薄膜化に伴い、マスク加工、コンタクトホールの高アスペクトエッチング、溝配線加工およびその他の加工パターンに際して層間絶縁膜の加工は非常に困難になる。

【0007】特に、レジストに対するエッチング選択比が低いシリコン窒化膜、有機シリコン酸化膜、無機シリコン酸化膜などのように低誘電率の層間絶縁膜の加工を行う際、エッチングガスとしてO₂を過剰に必要とする。この結果、対レジスト選択比が十分にできなくなり、かつ、微細加工に伴ってレジストが薄膜化するので、低誘電率の層間絶縁膜の加工が非常に困難になる。

【0008】一方、半導体基板上の被加工膜に対してドライエッチングを行うためのレジストパターンを形成す

る際、レジストに対するエッチング選択比が高い反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン（ポリシラン）膜をレジストの下層に成膜しておくことが要求されている。

【0009】なお、前記レジストパターンをマスクとしてポリシランのR I E（反応性イオンエッチング）により加工（パターンニング）する時、R I Eによる反応生成物の影響を受け、ポリシランの加工形状の断面がテーパ状になり、かつ、マイクロローディング効果の影響が大きくなるおそれがある。この場合には、前記レジストパターンとポリシランのパターンをマスクとして下層の被加工膜（例えば層間絶縁膜）をエッチング加工すると、層間絶縁膜の加工形状の制御、エッチング深さの寸法のばらつきの制御が困難になる。

【0010】

【発明が解決しようとする課題】上記したように微細加工のためのレジストの薄膜化に伴い、従来のレジストパターンを用いて層間絶縁膜をエッチング加工する方法は、トレンチ加工を行うためのマスクを形成して、高アスペクト比の接続用ホールや配線埋め込み用溝およびその他のパターンを形成するための層間絶縁膜の加工が非常に困難になるという問題があった。

【0011】また、従来のレジストパターンを用いてレジスト選択比（レジストに対するエッチング選択比対）が低いシリコン窒化膜、有機シリコン酸化膜、無機シリコン酸化膜などのように低誘電率の層間絶縁膜のエッチング加工を行う際、エッチングガスとして O_2 を過剰に必要とする結果、対レジスト選択比が十分にとれなくなり、かつ、微細加工に伴ってレジストが薄膜化するので、低誘電率の層間絶縁膜の加工が非常に困難になるという問題があった。

【0012】本発明は上記の問題点を解決すべくなされたもので、反射防止膜として少なくとも二種類のポリシランを少なくとも二層に分けて成膜することにより、有機シリコン膜上に形成したレジストパターンをマスクとしてポリシラン膜に対してドライエッチングを行う際、ポリシラン膜の加工形状の断面が垂直状に得られるようになり、エッチング時の反応生成物によって生じるマイクロローディング効果の影響を制御でき、下層の被加工膜をエッチング加工する際に層間絶縁膜の加工形状の制御、エッチング深さの寸法のばらつきの制御を向上させることが可能になるドライエッチング方法を提供することを目的とする。

【0013】また、本発明の他の目的は、層間絶縁膜上にポリシリコンを介してポリシランを成膜しておくことにより、ポリシランの加工時にポリシリコンを一括加工し、層間絶縁膜に対するハードマスクを一括加工することができ、層間絶縁膜の高アスペクトエッチングを容易に行うことが可能になるドライエッチング方法および半

導体装置の製造方法を提供することにある。

【0014】さらに、本発明の他の目的は、ドライエッチングに用いたポリシランを除去する際、CMPにより研磨することにより容易に除去することが可能になるドライエッチング方法を提供することにある。

【0015】

【課題を解決するための手段】本発明の第1のドライエッチング方法は、半導体基板上の被加工膜上に、レジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する少なくとも二種類の有機シリコン膜を少なくとも二層に分けて成膜する工程と、前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜に対してドライエッチングを行う第1のエッチング工程とを具備することを特徴とする。この際、前記少なくとも二種類の有機シリコン膜は、互いに組成が異なり、シリコン含有量が大きいものほど下層側に成膜されることが望ましい。また、前記第1のエッチング工程において有機シリコン膜を加工する際、前記被加工膜に対して所定のエッチング選択性を有することが望ましい。

【0016】本発明の第2のドライエッチング方法は、前記第1乃至第3のいずれかのドライエッチング方法において、前記第1のエッチング工程により加工された有機シリコン膜をマスクとして、その下層の被加工膜に対してドライエッチングを行う第2のエッチング工程をさらに具備することを特徴とする。

【0017】本発明の第3のドライエッチング方法は、前記第1または第2のドライエッチング方法において、前記第2のエッチング工程により加工された被処理膜をマスクとして、その下層のシリコン層あるいは金属膜に対してドライエッチングを行う際、同時に前記有機シリコン膜を除去することを特徴とする。

【0018】本発明の第4のドライエッチング方法は、前記第1のドライエッチング方法において、前記有機シリコン膜は、前記被加工膜上にハードマスク材を介して成膜されており、前記第1のエッチング工程において有機シリコン膜を加工する際、同時に前記ハードマスク材を加工して被加工膜加工用のハードマスクを形成することを特徴とする。

【0019】この際、前記第1のエッチング工程において有機シリコン膜およびハードマスク材を加工する際、前記被加工膜に対して所定のエッチング選択性を有することが望ましい。

【0020】本発明の第5のドライエッチング方法は、前記第4のドライエッチング方法において、ドライエッチング方法。前記第1のエッチング工程により加工された有機シリコン膜およびハードマスクをマスクとして、その下層の被加工膜に対してドライエッチングを行う第2のエッチング工程をさらに具備することを特徴とする。

る。

【0021】本発明の第6のドライエッチング方法は、前記第5のドライエッチング方法において、前記第2のエッチング工程により加工された被加工膜をマスクとして、その下層のシリコン層あるいは金属膜に対してドライエッチングを行う際、同時に前記有機シリコン膜およびハードマスクを除去することを特徴とする。

【0022】本発明の第7のドライエッチング方法は、前記第1乃至第6のいずれかのドライエッチング方法において、前記被加工膜は、有機シリコン酸化膜、無機シリコン酸化膜、あるいはシリコン窒化膜あるいはシリコン酸化膜を用いた層間絶縁膜であることを特徴とする。

【0023】本発明の第7のドライエッチング方法は、前記第1または第2のドライエッチング方法において、前記有機シリコン膜を剥離する際、化学的機械研磨法を用いることを特徴とする。

【0024】本発明の第8のドライエッチング方法は、前記第2のドライエッチング方法において、前記第2のエッチング工程の後に、全面に他の膜を成膜して上面を化学的機械研磨法により平坦化する際に、前記有機シリコン膜を同時に剥離することを特徴とする。

【0025】本発明の第9のドライエッチング方法は、前記第2のドライエッチング方法において、前記第2のエッチング工程の後に、全面に他の膜を成膜して上面を化学的機械研磨法により平坦化する際に、前記有機シリコン膜をバッファ層として利用し、残存させることを特徴とする。

【0026】本発明の第1の半導体装置の製造方法は、半導体基板上に形成された層間絶縁膜上に、レジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜に対してドライエッチングを行う第1のエッチング工程と、前記第1のエッチング工程により加工された有機シリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、接続用ホールおよび配線埋め込み用溝の少なくとも一方を形成する第2のエッチング工程とを具備することを特徴とする。

【0027】本発明の第2の半導体装置の製造方法は、シリコン基板上に形成された層間絶縁膜上にポリシリコン膜を形成する工程と、前記ポリシリコン膜上にレジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜およびポリシリコン膜に対してドライエッチングを行う第1のエッチング工程と、前記第1のエッチング工程により加工さ

れた有機シリコン膜およびポリシリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、トレンチを形成する第2のエッチング工程と、前記第2のエッチング工程により加工された層間絶縁膜をマスクとして、その下層のシリコン基板に対してドライエッチングを行ってトレンチキャパシタ形成用のトレンチを形成すると同時に、前記有機シリコン膜および/あるいはポリシリコン膜を除去する第2のエッチング工程とを具備することを特徴とする。

【0028】本発明の第3の半導体装置の製造方法は、シリコン基板上に形成された層間絶縁膜上にポリシリコン膜を形成する工程と、前記ポリシリコン膜上にレジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜およびポリシリコン膜に対してドライエッチングを行う第1のエッチング工程と、前記第1のエッチング工程により加工された有機シリコン膜およびポリシリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、トレンチを形成する第2のエッチング工程と、前記第2のエッチング工程により加工された層間絶縁膜をマスクとして、その下層のシリコン基板に対してドライエッチングを行って素子分離領域形成用のトレンチを形成すると同時に、前記有機シリコン膜および/あるいはポリシリコン膜を除去する第2のエッチング工程とを具備することを特徴とする。

【0029】本発明の第4の半導体装置の製造方法は、シリコン基板上でゲート配線材上に形成された層間絶縁膜上にポリシリコン膜を形成する工程と、前記ポリシリコン膜上にレジストパターン形成のための反射防止膜として、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を成膜する工程と、前記有機シリコン膜上にレジストパターンを形成し、このレジストパターンをマスクとして前記有機シリコン膜およびポリシリコン膜に対してドライエッチングを行う第1のエッチング工程と、前記第1のエッチング工程により加工された有機シリコン膜およびポリシリコン膜をマスクとして、その下層の層間絶縁膜に対してドライエッチングを行い、トレンチを形成する第2のエッチング工程と、前記第2のエッチング工程により加工された層間絶縁膜をマスクとして、その下層のゲート配線材に対してドライエッチングを行ってMOSトランジスタのゲート電極を形成すると同時に、前記有機シリコン膜および/あるいはポリシリコン膜を除去する第2のエッチング工程とを具備することを特徴とする。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0031】<第1の実施の形態>第1の実施の形態では、層間絶縁膜上に、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン（ポリシラン）膜からなる反射防止膜と化学増幅型レジストのパターンを形成し、これをマスクとして層間絶縁膜のエッチング加工を行い、コンタクトホールを形成する。

【0032】図1(a)、(b)は、実施の形態1に係るドライエッチング方法の工程を示している。

【0033】図2は、第1の実施の形態で使用したマグネトロンRIE装置を示す。

【0034】図2において、真空チャンバー1の内部に設けられている載置台3上に半導体ウェハ2が載置される。この載置台3は、温度調節機構を有しており、ウェハ2の温度を制御可能である。

【0035】真空チャンバー1内には、上記載置台3に対向して上方に電極4が設けられており、載置台3の下方の高周波電極7が設けられており、真空チャンバー1の天壁にはガス導入管5が接続されており、真空チャンバー1の側壁下部には排気口6が設けられている。

【0036】前記ガス導入管5から真空チャンバー1内にガスが導入され、前記排気口6の弁により真空チャンバー1内の圧力が調整され、この圧力が安定になった後、高周波電極7から高周波を印加することにより、真空チャンバー1内にプラズマが発生する。

【0037】また、真空チャンバー1の外周部には、真空チャンバー1内に高密度な磁界を作り、プラズマ中のイオンに異方性を持たせるために磁石8が設けられており、上記プラズマによりウェハ2の被処理物がエッチングされる。

【0038】なお、第1の実施の形態では、上記マグネトロンRIE装置に限らず、ECR、ヘリコン、誘導結合型プラズマ等の他のドライエッチング装置を使用可能である。

【0039】次に、図1(a)、(b)を参照しながら、図2のエッチング装置を用いてポリシラン膜のパターニングを行う方法について説明する。

【0040】図1(a)に示すように、S i基板10上に形成された層間絶縁膜11上に、この際、反射防止膜12として、まず、S i含有量の多い(50～70%程度)ポリシラン膜121を塗布し、その上層側に通常のS i含有量(20～25%程度)のポリシラン膜122を塗布する。この際、ポリシラン膜121、122の膜厚として例えば300nm程度に厚く形成しておく。この後、ポリシラン膜122上に化学増幅型レジスト13のパターンを形成する。

【0041】次に、図1(b)に示すように、レジスト13のパターンをマスクにしてポリシラン膜122、121のエッチング加工(パターニング)を行う。この時、エッチングガスとして流量75sccmのCl₂/流

量10sccmのO₂の混合ガスを用い、圧力75mTorr(100Pa)、電力300Wの条件で行う。

【0042】次に、上記したように厚く形成されたポリシラン膜122、121のパターンをマスクにして層間絶縁膜11のエッチング加工を行い、コンタクトホールを形成する。この時、上層側の通常のポリシラン膜122は、開口が高アスペクトになるにしたがってエッチングレートが減少するので、エッチングストップを起こそうとするが、前記したように下層側に存在するS i含有量の多いポリシラン膜(エッチング速度が速いポリシラン膜)121でS i C l系の反応が容易になる。これにより、開口の側壁に反応生成物が堆積しなくなり、ポリシラン膜122、121を垂直に加工することができ

る。

【0043】この結果、開口が高アスペクトになっても、ポリシラン膜122、121のエッチングストップを抑制し、ポリシラン膜を制御良く加工することができ、加工形状の改善、マスク性の向上を図ることが可能になる。

【0044】なお、上記第1の実施の形態では、ポリシラン膜を二層に塗布して加工を行ったが、開口の深さ、加工パターン、加工サイズなどに応じて、有機シリコン化合物の含有量などの組成が異なる少なくとも二種類のポリシラン膜を多層に塗布する(S i含有量の多いポリシラン膜はど下層側に塗布する)ようにしてもよい。この場合、ポリシラン膜の膜厚を厚くすることにより、制御良く加工することが可能になり、対マスク性が向上する。

【0045】<第2の実施の形態>第2の実施の形態では、ポリシリコン膜とポリシラン膜のパターンを用いて、層間絶縁膜のエッチング加工を行い、高アスペクトのコンタクトホールを形成する。

【0046】図3(a)乃至(c)は、第2の実施の形態に係るドライエッチング方法の工程を示している。

【0047】まず、図3(a)に示すように、半導体基板30上でエッチングストップ膜31上に形成された層間絶縁膜32上に、ポリシリコン膜33を成膜し、さらに反射防止膜としてポリシラン膜34を塗布し、その上に化学増幅型レジスト35のパターンを形成する。

【0048】次に、図3(b)に示すように、レジスト35のパターンをマスクにしてポリシラン膜34とポリシリコン膜33のエッチング加工(パターニング)を行う。この時、エッチングガスとして流量75sccmのCl₂/流量10sccmのO₂の混合ガスを用い、圧力75mTorr、電力300Wの条件で行う。

【0049】次に、図3(c)に示すように、レジスト/ポリシラン膜/ポリシリコン膜のパターンをマスクとして、層間絶縁膜32のエッチング加工(コンタクトホール36の開口)を行う。この時、エッチングガスとして流量50sccmのCHF₃/流量200sccmの

CO/流量10 sccmのO₂の混合ガスを用い、圧力740 mTorr、電力1400 Wの条件で行う。

【0050】これにより、レジスト35とポリシラン膜34が除去されても、ポリシラン膜33のパターンをハードマスクとして層間絶縁膜（例えばシリコン酸化膜、シリコン窒化膜）32のシリコンに対して10～15程度の高い選択比で高アスペクトのエッチングを行うことができる。

【0051】即ち、上記第2の実施の形態では、ポリシラン膜34の加工時に層間絶縁膜32に対するハードマスク（ポリシラン膜33）を一括加工することができ、層間絶縁膜32の高アスペクトエッチングを容易に行うことが可能になる。

【0052】したがって、微細化のためのレジストの薄膜化に伴う層間絶縁膜32のエッチング加工に非常に有効である。特に、層間絶縁膜32が、有機シリコン酸化膜、無機シリコン酸化膜のように、エッチングガスとしてO₂を過剰に必要とする場合、または、シリコン窒化膜のように、レジストに対するエッチング選択比が低い場合に、非常に有効である。

【0053】なお、前記ハードマスクとしては、ポリシラン膜32に限らず、W、WSi、Nb、TiO、Tin、Ti、Cのうちのいずれかを用いることができる。

【0054】＜第3の実施の形態＞第3の実施の形態では、ポリシラン膜とポリシラン膜のパターンを用いて層間絶縁膜のエッチング加工を行い、さらに層間絶縁膜のパターンを用いてシリコン基板のエッチング加工を行い、トレンチキャパシタ用の深いトレンチを形成する。

【0055】なお、シリコン基板に深いトレンチを形成するために層間絶縁膜のマスク加工を行う際、微細加工に伴って層間絶縁膜上のレジストは薄膜化の傾向にあるが、層間絶縁膜の加工膜圧は一定であることが多い。

【0056】図4（a）乃至（d）は、第3の実施の形態に係る半導体装置の製造方法の工程を示している。

【0057】まず、図4（a）に示すように、Si基板40上に熱酸化膜（SiO₂膜）41、Si₃N₄膜42、SiO₂膜43を順に形成し、その上にポリシラン膜44を成膜し、その上に反射防止膜としてポリシラン膜45を塗布し、その上に化学増幅型レジスト46のパターンを形成する。

【0058】次に、図4（b）に示すように、レジスト46のパターンをマスクにしてポリシラン膜45とポリシラン膜44のエッチング加工（パターンニング）を行う。この時、エッチングガスとして流量75 sccmのCl/流量10 sccmのO₂の混合ガスを用い、圧力75 mTorr、電力300 Wの条件で行う。

【0059】次に、図4（c）に示すように、レジスト/ポリシラン膜/ポリシラン膜のパターンをマスクとして、SiO₂膜43/Si₃N₄膜42/SiO₂膜41

のエッチング加工（ホール47の開口）を行う。

【0060】この時、エッチングガスとして流量50 sccmのCHF₃/流量200 sccmのCO/流量10 sccmのO₂の混合ガスを用い、圧力40 mTorr、電力1400 Wの条件で行う。

【0061】これにより、レジスト46とポリシラン膜45が除去されても、ポリシラン膜44のパターンをマスクにしてSiO₂膜43/Si₃N₄膜42/SiO₂膜41のエッチング加工を行うことができる。この場合、ポリシラン膜44はSiに対して10～15程度の高い選択比を有するので、SiO₂膜43/Si₃N₄膜42/SiO₂膜41に対して高アスペクトのエッチング加工を容易に行うことができる。

【0062】次に、図4（d）に示すように、SiO₂膜43/Si₃N₄膜42/SiO₂膜41のパターンをマスクとして、Si基板40のエッチング加工を行い、トレンチキャパシタ用の深いトレンチ48を形成する。この場合、前記図4（c）の工程でポリシラン膜44とポリシラン膜45が残っているため、上記Siエッチングの工程で同時にエッチングを行って取り除くことができる。

【0063】このようにしてSi基板40に深いトレンチ48を形成する技術は、微細加工においても充分対応することができる。

【0064】なお、上記第3の実施の形態において、前記SiO₂酸化膜に代えて、PSG膜、BSG膜、BP SG膜、FSG膜、塗布により成膜された有機シリコン酸化膜、無機シリコン酸化膜のいずれかを用いてもよい。また、前記ポリシラン膜を成膜する方法としては、CVD法、PVD法、塗布方法のいずれを用いてもよい。

【0065】また、前記第2実施の形態および第3の実施の形態において、ポリシラン膜上にポリシラン膜を形成する際、前記第1の実施の形態の変形例に示したように、ポリシラン膜を二層あるいは多層に塗布して成膜し、ポリシラン膜の膜厚を厚く加工するようにしても、層間絶縁膜の加工が容易になる。

【0066】＜第4の実施の形態＞第4の実施の形態では、半導体基板上に形成された層間絶縁膜に、ポリシラン膜と、ポリシラン膜からなる反射防止膜と化学増幅型レジストのパターンを形成し、これをマスクとして層間絶縁膜をエッチング加工して埋め込み配線用の溝を形成する。

【0067】なお、微細加工に伴い、配線間の誘電率を下げる層間絶縁膜として、有機シリコン酸化膜あるいは無機シリコン酸化膜のような層間絶縁膜を使用する。このような層間絶縁膜に対するエッチング加工は、エッチングガスとしてO₂を過剰に必要とし、層間絶縁膜上のレジストとの選択比がとれない。

【0068】図5（a）乃至（d）は、第4の実施の形

態に係る半導体装置の製造方法の工程を示している。

【0069】まず、図5(a)に示すように、半導体基板50上の層間絶縁膜として有機シリコン酸化膜(あるいは無機シリコン酸化膜)51を形成し、その上にポリシリコン52を成膜し、その上に反射防止膜としてポリシラン膜53を塗布し、その上に化学増幅型レジスト54のパターンを形成する。

【0070】次に、図5(b)に示すように、レジスト54のパターンをマスクにしてポリシラン膜53とポリシリコン膜52のエッチング加工(パターニング)を行う。この時、エッチングガスとして流量75 sccmのC1/流量10 sccmのO₂の混合ガスを用い、圧力75 mTorr、電力300 Wの条件で行う。

【0071】次に、図5(c)に示すように、レジスト/ポリシラン膜/ポリシリコン膜のパターンをマスクとして、有機シリコン酸化膜(あるいは無機シリコン酸化膜)51のエッチング加工(配線溝55の形成)を行う。この後、図5(d)に示すように、ポリシリコン膜52を除去する。

【0072】上記した配線溝55の形成時、エッチングガスとして流量10 sccmのC₄F₈/流量50 sccmのCO/流量10 sccmのO₂/流量200 sccmのArの混合ガスを用い、圧力80 mTorr、電力1400 Wの条件で行う。

【0073】これにより、レジスト54とポリシラン膜53が除去されても、ポリシリコン膜52のパターンをマスクにして有機シリコン酸化膜(あるいは無機シリコン酸化膜)51のエッチング加工を行うことができる。

【0074】この場合、ポリシリコン膜52は有機シリコン酸化膜51に対して20程度の高い選択比を有するので、有機シリコン酸化膜51に対して配線溝55のエッチング加工を容易に行うことができる。しかも、配線溝55のエッチング加工を1ステップで行うことができるので、配線溝55の深さの制御が可能である。

【0075】なお、上記第4の実施の形態においては、層間絶縁膜として有機シリコン酸化膜あるいは無機シリコン酸化膜を使用しているが、PSG膜、BSG膜、BPSG膜、FSG膜、シリコン酸化膜のいずれかを用いてもよい。また、前記ポリシリコン膜52を成膜する方法としては、CVD法、PVD法、塗布方法のいずれを用いてもよい。

【0076】また、ポリシリコン膜52上にポリシラン膜53を形成する際、前記第1の実施の形態の変形例に示したように、ポリシラン膜を二層あるいは多層に塗布して成膜し、ポリシラン膜の膜厚を厚く加工するようにしても、層間絶縁膜の加工が容易になる。

【0077】なお、前記第2の実施の形態、第4の実施の形態では、絶縁膜のホールあるいは配線溝の加工に際してポリシラン膜のパターンを用いる場合について述べているが、例えばデュアルダマシンプロセスのように溝

およびホールを一括加工する場合にも、前記実施の形態に準じて本発明を適用することが可能である。

【0078】<第5の実施の形態>第5の実施の形態では、半導体基板上の酸化膜上に順に形成されたゲート電極材およびゲートマスク材上に、ポリシリコン膜と、ポリシラン膜からなる反射防止膜と化学増幅型レジストのパターンを形成し、これをマスクとしてゲートマスク材をエッチング加工し、このゲートマスクを用いてゲート電極材をエッチング加工してMOSトランジスタのゲート電極を形成する。

【0079】図6(a)乃至(d)は、第5の実施の形態に係る半導体装置の製造方法の工程を示している。

【0080】まず、図6(a)に示すように、Si基板60上に酸化膜(SiO₂膜)61を形成し、その上にゲート電極材としてポリシリコン層62及びタングステンシリサイド(WSi)膜63を成膜する。この後、シリコン窒化(Si₃N₄)膜64からなるゲートマスク材を堆積するが、微細加工およびレジストの薄膜化に伴い、対レジスト選択比の低いSi₃N₄膜64はエッチング加工が非常に困難である。そして、上記Si₃N₄膜64上にポリシリコン65を成膜し、その上に反射防止膜としてポリシラン膜66を塗布し、その上に化学増幅型レジスト67のパターンを形成する。

【0081】次に、図6(b)に示すように、レジスト67のパターンをマスクにしてポリシラン膜66とポリシリコン膜65のエッチング加工(パターニング)を行う。

【0082】次に、図6(c)に示すように、レジスト/ポリシラン膜/ポリシリコン膜のパターンをマスクとして、Si₃N₄膜64のエッチング加工(ゲートマスクの形成)を行う。

【0083】次に、図6(d)に示すように、Si₃N₄膜64のパターンをマスクとして、WSi膜63とポリシリコン層62のエッチング加工(ゲート電極の形成)を行う。この場合、前記図6(c)の工程でSi₃N₄膜54上にポリシリコン膜65が残っていても、上記WSi膜63とポリシリコン層62のエッチングの工程で同時にエッチングを行って取り除くことができる。この時、ポリシラン膜を二層あるいはそれ以上の多層に塗布して成膜し、ポリシラン膜の膜厚を厚く加工しても有効である。

【0084】したがって、上記第5の実施の形態は、Si₃N₄膜64からなるゲートマスクを厚く加工するプロセス、例えばナンドゲートの製造プロセスに適用して非常に有効である。

【0085】<第6の実施の形態>第6の実施の形態では、Si基板上に形成された多層絶縁膜上に、ポリシリコン膜と、ポリシラン膜からなる反射防止膜と化学増幅型レジストのパターンを形成し、これをマスクとして多層絶縁膜をエッチング加工し、この多層絶縁膜をマスク

としてSi基板をエッチング加工して素子分離領域形成用の溝を形成する。

【0086】図7(a)乃至(d)は、第6の実施の形態に係る半導体装置の製造方法の工程を示している。

【0087】まず、図7(a)に示すように、Si基板70上に熱酸化膜(SiO₂膜)71、Si₃N₄膜72、酸化膜(TEOS膜)73を順に形成し、その上にポリシリコン74を成膜し、その上に反射防止膜としてポリシラン膜75を塗布し、その上に化学増幅型レジスト76のパターンを形成する。

【0088】次に、図7(b)に示すように、レジスト76のパターンをマスクにしてポリシラン膜75とポリシリコン膜74のエッチング加工(パターニング)を行う。

【0089】次に、図7(c)に示すように、レジスト/ポリシラン膜/ポリシリコン膜のパターンをマスクとして、TEOS膜73/Si₃N₄膜72/SiO₂膜71のエッチング加工し、素子分離溝形成用のマスクを形成する。

【0090】次に、図7(d)に示すように、上記素子分離溝形成用のマスク(TEOS膜73/Si₃N₄膜72/SiO₂膜71のパターン)を用いてSi基板70のエッチング加工を行い、素子分離領域形成用の溝77を形成する。この場合、前記図6(c)の工程でポリシリコン膜74とポリシラン膜75が残っている、上記Siエッチングの工程で同時にエッチングを行って取り除くことができる。

【0091】なお、上記第6の実施の形態において、前記ポリシリコン膜74を成膜する方法としては、CVD法、PVD法、塗布方法のいずれを用いてもよい。また、ポリシリコン膜74上にポリシラン膜75を形成する際、前記第1の実施の形態の変形例に示したように、ポリシラン膜を二層あるいは多層に塗布して成膜し、ポリシラン膜の膜厚を厚く加工するようにしても、層間絶縁膜の加工が容易になる。

【0092】なお、前記第1ないし第6の各実施の形態では、絶縁膜のホールあるいは配線溝あるいはゲートマスクあるいは素子分離溝形成用のマスクの加工に際してポリシラン膜のパターンを用いる場合について述べているが、その他の目的で層間絶縁膜の加工パターンを形成する際にも本発明の方法を用いることにより層間絶縁膜を容易に加工することができる。

【0093】<第7の実施の形態、第8の実施の形態>第7の実施の形態および第8の実施の形態では、Si基板上の層間絶縁膜上に形成されたポリシラン膜とその上に形成されたレジストを剥離する2つの方法あるいはバフ層として活用する方法について説明する。

【0094】なお、ポリシランをアッシャーにより剥離する際、ポリシラン中のSiが酸素と反応してSiO₂膜を形成するので、剥離残りが若干生じてしまう傾向が

ある。また、ポリシランを例えば希フッ酸を用いたウェットエッチングにより剥離することは困難である。

【0095】<第7の実施の形態>図8(a)、(b)に示す工程では、Si基板上の層間絶縁膜81上に形成されたポリシラン膜82とその上に形成されたレジスト83のパターンを用いて層間絶縁膜81をエッチング加工した後、CMP(化学的機械研磨)を行う。この時、レジスト83は水により圧力をかけて取り除くことができる。

【0096】また、ポリシラン膜82の地下である層間絶縁膜81がシリコン酸化膜であるかシリコン窒化膜かに応じて使用するスラリーを変更することにより、ポリシラン膜の対層間絶縁膜選択比を約100程度確保することができ、ポリシラン膜82が残らないように制御性よく除去することができる。

【0097】<第8の実施の形態>図9(a)乃至(d)に示す工程では、Si基板上の多層絶縁膜91上に形成されたポリシラン膜92とその上に形成されたレジスト93のパターンを用いて層間絶縁膜91をエッチング加工(例えば配線溝94を形成)した後、まず、レジスト93のみを水压を加える等の方法を用いて除去する。この後、層間絶縁膜91の配線溝94に埋め込むように配線材料95を堆積し、その配線材料95の上面をCMPにより平坦化する。この際、配線材料95と同時にポリシラン膜92を取り除く。これにより、少ない工程数で、ポリシラン膜92を制御性よく除去することができる。

【0098】<第9の実施の形態>第9の実施の形態では、Si基板上の層間絶縁膜上に形成されたポリシラン膜をバフ層として活用する方法について説明する。

【0099】図10(a)乃至(d)に示す工程では、Si基板上の多層絶縁膜101上に形成されたポリシラン膜102とその上に形成されたレジスト103のパターンを用いて層間絶縁膜101をエッチング加工(例えば配線溝104を形成)した後、前記層間絶縁膜101との選択性のない材料からなる他の層間絶縁膜105を埋め込むように堆積し、上面をCMPにより平坦化する。この際、ポリシラン膜102は、層間絶縁膜101に対する応力を緩和するバフ層となり、制御性よく平坦化することができ、CMP特性が向上する。

【0100】

【発明の効果】上述したように本発明のドライエッチング方法によれば、反射防止膜として少なくとも二種類の有機シリコン膜を少なくとも二層に分けて成膜することにより、有機シリコン膜上に形成したレジストパターンをマスクとして有機シリコン膜に対してドライエッチングを行う際、ポリシランの加工形状の断面が垂直状に得られるようになり、エッチング時の反応生成物によって生じるマイクロレーディング効果の影響を制御でき、下層の被加工膜をエッチング加工する際に層間絶縁膜の加

工形状の制御、エッチング深さの寸法のばらつきの制御性を向上させることができる。

【0101】また、本発明のドライエッチング方法によれば、ドライエッチングに用いたポリシランを除去する際、CMPにより研磨することにより容易に除去することができる。また、場合によっては、CMPによる研磨時のパフ層として使用することもできる。

【0102】さらに、本発明のドライエッチング方法および半導体装置の製造方法によれば、層間絶縁膜上にポリシリコンを介してポリシランを成膜しておくことにより、ポリシランの加工時にポリシリコンを一括加工し、層間絶縁膜に対するハードマスクを一括加工することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るドライエッチング方法の工程を示す断面図。

【図2】第1の実施の形態で使用したマグネトロンRIE装置を示す構成説明図。

【図3】本発明の第2の実施の形態に係るドライエッチング方法の工程を示す断面図。

【図4】本発明の第3の実施の形態に係る半導体装置の

製造方法の工程を示す断面図。

【図5】本発明の第4の実施の形態に係る半導体装置の製造方法の工程を示す断面図。

【図6】本発明の第5の実施の形態に係る半導体装置の製造方法の工程を示す断面図。

【図7】本発明の第6の実施の形態に係る半導体装置の製造方法の工程を示す断面図。

【図8】本発明の第7の実施の形態においてSi基板上の層間絶縁膜上に形成されたポリシラン膜とレジストパターンを剥離する方法の工程を示す断面図。

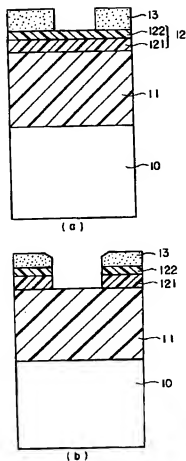
【図9】本発明の第8の実施の形態においてSi基板上の層間絶縁膜上に形成されたポリシラン膜とレジストパターンを剥離する方法の工程を示す断面図。

【図10】本発明の第9の実施の形態においてSi基板上の層間絶縁膜上に形成されたポリシラン膜をパフ層として活用する方法の工程を示す断面図。

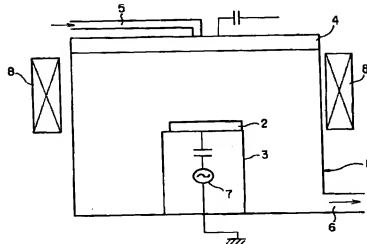
【符号の説明】

- 10…Si基板、
- 11…層間絶縁膜、
- 12…反射防止膜、
- 13…化学増幅型レジスト。

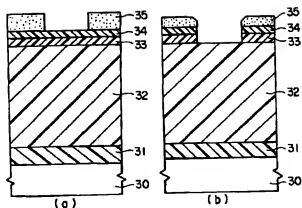
【図1】



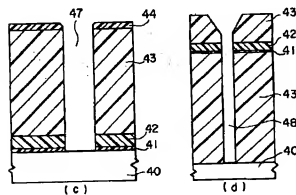
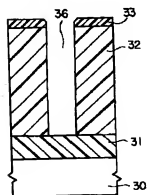
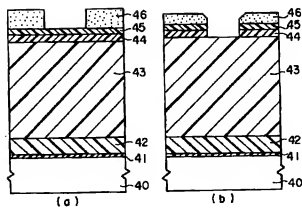
【図2】



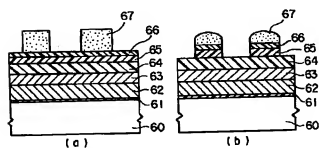
【図3】



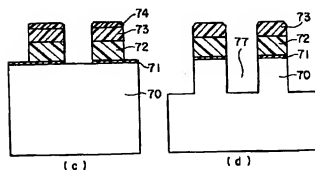
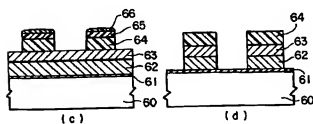
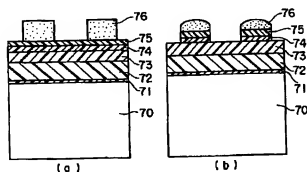
【図4】



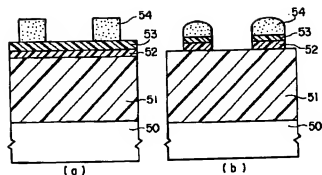
【図6】



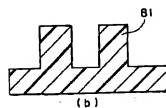
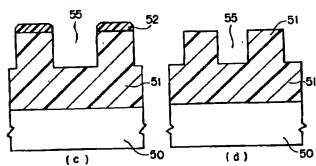
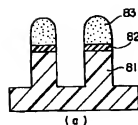
【図7】



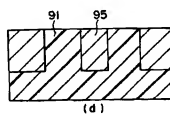
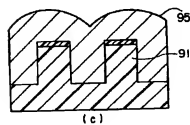
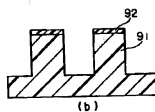
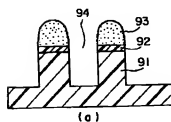
【図5】



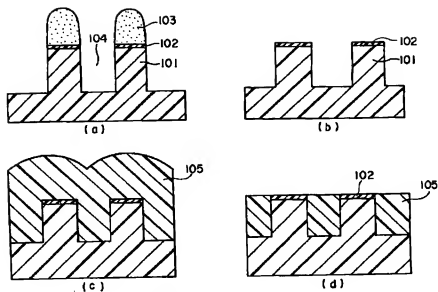
【図8】



【図9】



【図10】



フロントページの続き

(51) Int. Cl. ⁷

識別記号

F I
H 0 1 L 21/90テーマコード (参考)
C

(72) 発明者 関根 誠

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

F ターム (参考) 4M104 BB01 CC05 DD07 DD08 DD16
DD17 DD20 DD62 DD71 FF14
5F004 AA03 AA04 AA11 BA08 BA14
BA20 DA00 DA04 DA16 DA23
DA26 DB00 DB02 DB03 DB07
EA03 EA22 EB01 EB03 EB04
EB05
5F032 AA35 AA66 DA21 DA23 DA28
5F033 HH04 HH28 MM01 MM07 QQ03
QQ04 QQ08 QQ09 QQ10 QQ11
QQ26 QQ27 QQ28 QQ37 QQ48
QQ49 RR04 RR05 RR12 RR13
RR14 RR15 RR23 RR25 XX01
XX21